*НАЦИОНАЛЬНЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ УКРАИНЫ*

*“КИЕВСКИЙ ПОЛИТЕХНИЧЕСКИЙ ИНСТИТУТ”*

*ФАКУЛЬТЕТ ИНФОРМАТИКИ И ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ*

*КАФЕДРА ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ*

Реферат

по архитектуре компьютеров

Выполнила: студентка 3-го курса

ФИВТ, группы ИВ-01

Заяц Ю.С.

Зачетная книжка №0101

Киев 2012

**Содержание**

1. Вступление 3

2. Классификация 5

2.1. CISC-архитектура 5

2.2. RISC-архитектура 5

2.3. фон-неймановская (принстонская) и гарвардская архитектуры. 7

3. Классификация однокристальных ЭВМ. 9

3.1. Встраиваемые (embedded) микроконтроллеры 9

3.2. Микроконтроллеры с внешней памятью 10

3.3. Цифровые сигнальные процессоры (DSP) 11

4. Обзор микроконтроллеров по различным фирмам. 11

4.1. Intel. 11

4.2. Motorola. 12

4.3 PANASONIC. 12

5. Список ИСПОЛЬЗОВАНОЙ литературы 14

# 1. Вступление

По числу больших интегральных схем (БИС) в микропроцессорном комплекте различают микропроцессоры однокристальные, многокристальные и многокристальные секционные.

Процессоры даже самых простых ЭВМ имеют сложную функциональную структуру, содержат большое количество электронных элементов и множество разветвленных связей. Изменять структуру процессора необходимо так, чтобы полная принципиальная схема или ее части имели количество элементов и связей, совместимое с возможностями БИС. При этом микропроцессоры приобретают внутреннюю магистральную архитектуру, т. е. в них к единой внутренней информационной магистрали подключаются все основные функциональные блоки (арифметико-логический, рабочих регистров, стека, прерываний, интерфейса, управления и синхронизации и др.).

Для обоснования классификации микропроцессоров по числу БИС надо распределить все аппаратные блоки процессора между основными тремя функциональными частями: операционной, управляющей и интерфейсной. Сложность операционной и управляющей частей процессора определяется их разрядностью, системой команд и требованиями к системе прерываний; сложность интерфейсной части разрядностью и возможностями подключения других устройств ЭВМ (памяти, внешних устройств, датчиков и исполнительных механизмов и др.). Интерфейс процессора содержит несколько десятков информационных шин данных (ШД), адресов (ША) и управления (ШУ).

Однокристальные микропроцессоры получаются при реализации всех аппаратных средств процессора в виде одной БИС или СБИС (сверхбольшой интегральной схемы). По мере увеличения степени интеграции элементов в кристалле и числа выводов корпуса параметры однокристальных микропроцессоров улучшаются. Однако возможности однокристальных микропроцессоров ограничены аппаратными ресурсами кристалла и корпуса.

Операционный процессор служит для обработки данных, управляющий процессор выполняет функции выборки, декодирования и вычисления адресов операндов и также генерирует последовательности микрокоманд. Автономность работы и большое быстродействие БИС УП позволяет выбирать команды из памяти с большей скоростью, чем скорость их исполнения БИС ОП. При этом в УП образуется очередь еще не исполненных команд, а также заранее подготавливаются те данные, которые потребуются ОП в следующих циклах работы. Такая опережающая выборка команд экономит время ОП на ожидание операндов, необходимых для выполнения команд программ. Интерфейсный процессор позволяет подключить память и периферийные средства к микропроцессору; он, по существу, является сложным контроллером для устройств ввода/вывода информации. БИС ИП выполняет также функции канала прямого доступа к памяти.

Выбираемые из памяти команды распознаются и выполняются каждой частью микропроцессора автономно и поэтому может быть обеспечен режим одновременной работы всех БИС МП, т.е. конвейерный поточный режим исполнения последовательности команд программы (выполнение последовательности с небольшим временным сдвигом). Такой режим работы значительно повышает производительность микропроцессора.

Однокристальные БИС МП, как правило, изготовляют на основе микроэлектронных технологий униполярных полупроводниковых приборов.

# 2. Классификация

За особенностью систем команд различают следующие архитектуры: CISC, RISC.

За способом организации памяти та выборки команд и данных различают два основных класса архитектуры: Архитектура фон-Неймана или принстонская архитектура и гарвардская архитектура.

# 2.1. CISC-архитектура

CISC-процессоры выполняют большой набор *команд* с развитыми возможностями адресации, давая разработчику возможность выбрать наиболее подходящую *команду* для выполнения необходимой операции. В применении к 8-разрядным *МК* процессор с CISC-архитектурой может иметь однобайтовый, двухбайтовый и трехбайтовый (редко четырехбайтовый) формат *команд*. При этом *система команд*, как правило, неортогональна, то есть не все *команды* могут использовать любой из способов адресации применительно к любому из регистров процессора. Выборка *команды* на исполнение осуществляется побайтно в течение нескольких циклов работы *МК*. Время выполнения *команды* может составлять от 1 до 12 циклов. К *МК* с CISC-архитектурой относятся *МК* фирмы Intel с ядром MCS-51, которые поддерживаются в настоящее время целым рядом производителей, *МК* семейств НС05, НС08 и НС11 фирмы Motorola и ряд других.

Основоположником CISC-архитектуры можно считать компанию IBM с ее базовой архитектурой /360, ядро которой используется с 1964 года и дошло до наших дней, например, в таких современных мейнфреймах как IBM ES/9000.Лидером в разработке микропроцессоров c полным набором команд (CISC – Complete Instruction Set Computer) считается компания Intel со своей серией x86 и Pentium. Эта архитектура является практическим стандартом для рынка микрокомпьютеров.

Для CISC-процессоров характерно:

* сравнительно небольшое число регистров общего назначения;
* большое количество машинных команд, некоторые из которых нагружены семантически аналогично операторам высокоуровневых языков программирования и выполняются за много тактов;
* большое количество методов адресации;
* большое количество форматов команд различной разрядности;
* преобладание двухадресного формата команд;
* наличие команд обработки типа регистр-память.

# 2.2. RISC-архитектура

В 70-е годы XX века ученые выдвинули революционную по тем временам идею создания микропроцессора, "понимающего" только минимально возможное количество команд.

Замысел RISC- процессора (Reduced Instruction Set Computer, компьютер с *сокращенным набором команд*) родился в результате практических исследований частоты использования команд программистами, проведенных в 70-х годах в США и Англии. Их непосредственный итог - известное "правило 80/20": в 80% кода типичной прикладной программы используется лишь 20% простейших машинных команд из всего доступного набора.

Первый "настоящий" RISC-процессор с 31 командой был создан под руководством Дэвида Паттерсона из Университета Беркли, затем последовал процессор с набором из 39 команд. Они включали в себя 20-50 тыс. транзисторов. Плодами трудов Паттерсона воспользовалась компания Sun Microsystems, разработавшая архитектуру SPARC с 75 командами в конце 70-х годов. В 1981 г. в Станфордском университете стартовал проект MIPS по выпуску RISC-процессора с 39 командами. В итоге была основана корпорация Mips Computer в середине 80-х годов и сконструирован следующий процессор уже с 74 командами.

По данным независимой компании IDC, в 1992 году архитектура SPARC занимала 56% рынка, далее следовали MIPS - 15% и PA-RISC - 12,2%

Примерно в то же время Intel разработала серию 80386, последних "истинных" CISC-процессоров в семействе IA-32. В последний раз повышение производительности было достигнуто только за счет усложнения архитектуры процессора: из 16-разрядной она превратилась в 32-разрядную, дополнительные аппаратные компоненты поддерживали виртуальную память, и добавился целый ряд новых команд.

Основные особенности RISC-процессоров:

1. *Сокращенный набор команд* (от 80 до 150 команд).
2. Большинство команд выполняется за 1 такт.
3. Большое количество регистров общего назначения.
4. Наличие жестких многоступенчатых конвейеров.
5. Все команды имеют простой формат, и используются немногие способы адресации.
6. Наличие вместительной раздельной кэш-памяти.
7. Применение оптимизирующих компиляторов, которые анализируют исходный код и частично меняют порядок следования команд.

RISC-процессоры 3-го поколения

Самыми крупными разработчиками RISC-процессоров считаются Sun Microsystems (архитектура SPARC - Ultra SPARC), IBM (многокристальные процессоры Power, однокристальные PowerPC - PowerPC 620), Digital Equipment (Alpha - Alpha 21164), Mips Technologies (семейство Rxx00 -- R 10000), а также Hewlett-Packard (архитектура PA-RISC - PA-8000).

Все RISC-процессоры третьего поколения:

* являются 64-х разрядными и суперскалярными (запускаются не менее 4-х команд за такт);
* имеют встроенные конвейерные блоки арифметики с плавающей точкой;
* имеют многоуровневую кэш-память. Большинство RISC-процессоров кэшируют предварительно дешифрованные команды;
* изготавливаются по КМОП-технологии с 4 слоями металлизации.

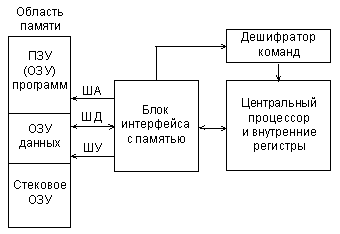
Для обработки данных применяется алгоритм динамического прогнозирования ветвлений и метод переназначения регистров, что позволяет реализовать внеочередное выполнение команд.

Повышение производительности RISC-процессоров достигается за счет повышения тактовой частоты и усложнения схемы кристалла. Представителями первого направления являются процессоры Alpha фирмы DEC, наиболее сложными остаются процессоры компании Hewlett-Packard.

# 2.3. фон-неймановская (принстонская) и гарвардская архитектуры.

С точки зрения организации процессов выборки и исполнения *команды* в современных 8-разрядных *МК* применяется одна из двух уже упоминавшихся архитектур МПС: фон-неймановская (принстонская) или гарвардская.

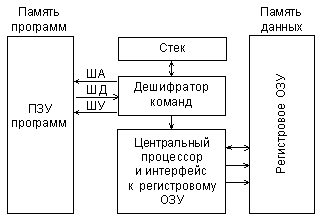
Основной особенностью фон-неймановской архитектуры является использование общей памяти для хранения программ и данных, как показано на [рис. 4.2](http://www.intuit.ru/department/hardware/mpbasics/6/2.html#image.4.2).



**Рис. 3.1.**  Структура МПС с фон-неймановской архитектурой.

Основное преимущество архитектуры Фон-Неймана – упрощение устройства МПС, так как реализуется обращение только к одной общей памяти. Кроме того, использование единой области памяти позволяло оперативно перераспределять ресурсы между областями программ и данных, что существенно повышало гибкость МПС с точки зрения разработчика программного обеспечения. Размещение *стека* в общей памяти облегчало доступ к его содержимому. Неслучайно поэтому фон-неймановская архитектура стала основной архитектурой универсальных компьютеров, включая персональные компьютеры.

Основной особенностью гарвардской архитектуры является использование раздельных адресных пространств для хранения *команд* и данных, как показано на [рис. 4.3](http://www.intuit.ru/department/hardware/mpbasics/6/2.html#image.4.3).



**Рис. 3.2.**  Структура МПС с гарвардской архитектурой.

Гарвардская архитектура почти не использовалась до конца 70-х годов, пока производители *МК* не поняли, что она дает определенные преимущества разработчикам автономных систем управления.

Дело в том, что, судя по опыту использования МПС для управления различными объектами, для реализации большинства алгоритмов управления такие преимущества фон-неймановской архитектуры как гибкость и универсальность не имеют большого значения. Анализ реальных программ управления показал, что необходимый объем *памяти данных*   *МК*, используемый для хранения промежуточных результатов, как правило, на порядок меньше требуемого объема *памяти программ*. В этих условиях использование единого адресного пространства приводило к увеличению формата *команд* за счет увеличения числа разрядов для адресации операндов. Применение отдельной небольшой по объему *памяти данных* способствовало сокращению длины *команд* и ускорению поиска информации в *памяти данных*.

Кроме того, гарвардская архитектура обеспечивает потенциально более высокую скорость выполнения программы по сравнению с фон-неймановской за счет возможности реализации параллельных операций. Выборка следующей *команды* может происходить одновременно с выполнением предыдущей, и нет необходимости останавливать процессор на время выборки *команды*. Этот метод реализации операций позволяет обеспечивать выполнение различных *команд* за одинаковое число тактов, что дает возможность более просто определить время выполнения циклов и критичных участков программы.

Большинство производителей современных 8-разрядных *МК* используют гарвардскую архитектуру. Однако гарвардская архитектcура является недостаточно гибкой для реализации некоторых программных процедур. Поэтому сравнение *МК*, выполненных по разным архитектурам, следует проводить применительно к конкретному приложению.

# 3. Классификация однокристальных ЭВМ.

Современных ОмК делят на:

– встраиваемые 8-разрядные;

– 16- и 32-разрядные МК;

– цифровые сигнальные процессоры (**DSP**).

3.1. Встраиваемые (embedded) микроконтроллеры имеют все ресурсы (память, устройства ввода-вывода, и т. д.) на одном кристалле с процессорным ядром. На такой контроллер подаются питание и тактовые сигналы. В них процессорное ядро может быть общего плана или разработано специально для данного МК. Основное назначение встраиваемых МК – обеспечить гибкое программируемое управление объектами и связь с внешними устройствами. Они не приспособлены для выполнения комплекса сложных функций.

Такие МК содержат большое число вспомогательных устройств, за счёт чего реализуется их включение в конкретную систему с использованием минимального числа дополнительных компонентов. Обобщённая структура такого контроллера приведена на рисунке 4.1.



Рис. 4.1. Обобщённая структура простого встраиваемого микроконтроллера

В состав таких МК обычно входят схема начального запуска (**Reset**); генератор тактовых импульсов; центральный процессор; память программ (ПЗУ или ППЗУ, ЭППЗУ); память данных (ОЗУ); средства ввода-вывода данных; таймеры, фиксирующие число командных циклов.

Сложные встраиваемые МК реализуют дополнительные возможности: встроенный монитор-отладчик программ; внутренние средства программирования памяти программ; обработка прерываний от различных источников; аналоговый ввод-вывод; последовательный ввод-вывод (синхронный и асинхронный); параллельный ввод-вывод (включая интерфейс с компьютером); подключение внешней памяти (микропроцессорный режим).

Типичные значения частоты тактовых сигналов различных МК составляют 10–20 МГц. Главным фактором, ограничивающим их скорость, является время доступа к памяти.

3.2. Микроконтроллеры с внешней памятью (особенно 16- и 32-разрядные) используют только внешнюю память, которая включает в себя как память программ ПЗУ (ROM), так и некоторый объём памяти данных ОЗУ (RAM), требуемый для конкретного применения. Структура МК с внешней памятью приведена на рисунке 1.9.

Примером такого МК служит БИС ф. **Intel** **80188**. Это микропроцессор **8088** (используемый в компьютерах **IBM PC**), интегрированный на общем кристалле с дополнительными схемами, реализующими ряд стандартных функций (прерывания и прямой доступ к памяти **DMA**). Здесь в одном корпусе объединены устройства, необходимые для реализации систем, в которых могут использоваться функциональные возможности и ПО микропроцессора **8088**.



Рис. 4.2. Обобщённая структура микроконтроллера с внешней памятью

Микроконтроллеры с внешней памятью предназначены для применений, требующих большого объёма памяти данных ОЗУ и небольшого количества устройств (портов) ввода-вывода. Для них наиболее подходят приложения, в которых критическим ресурсом является память, а не число логических входов–выходов общего назначения, тогда как для встраиваемых МК характерна обратная ситуация.

Типичный пример МК с внешней памятью – контроллер жёсткого диска (**HDD**) с буферной кэш-памятью, который обеспечивает промежуточное хранение и распределение больших объёмов данных (обычно, мегабайты). Внешняя память даёт возможность такому МК работать с более высокой скоростью, чем встраиваемый МК.

3.3. Цифровые сигнальные процессоры (DSP) предназначены для получения текущих данных от аналоговой системы и формирования соответствующего отклика. В них АЛУ работает с очень высокой скоростью, что позволяет осуществлять обработку данных в реальном масштабе времени (в темпе поступления входных данных). Пример – активный шумоподавляющий микрофон, когда второй микрофон обеспечивает сигнал окружающего шума, который вычитается из сигнала первого микрофона. Так подавляется шум и остаётся только голос.

Цифровым сигнальным процессорам присущи особенности встраиваемых МК и контроллеров с внешней памятью. Они не предназначены для автономного применения, а входят в состав систем и предназначены для управления внешним оборудованием.

# 4. Обзор микроконтроллеров по различным фирмам.

4.1. Intel. Перый микроконтроллер появился на свет в 1976 году, через 5 лет после создания первого микропроцессора. Это была микросхема фирмы Intel, получившая имя 8048.

Помимо центрального процессора, на кристалле находились 1 КБайт памяти программ, 64 байта памяти данных, два восьмибитных таймера, генератор часов и 27 портов ввода/вывода.

Микроконтроллеры семейства 8048 использовались в игровых консольных приставках MagnavoxOdyssey, в клавиатурах первых IBMPC и в ряде других устройств.

Существует также мнение, что первым микроконтроллером был 4-х pазpядныйTMS1000 от TexasInstruments, котоpый содеpжал ОЗУ (32 байта), ПЗУ (1К), часы и поддеpжку ввода-вывода, что позволяло считать его именно первым микpоконтpоллеpом. Выпущенный в 1972 году, он имел новую по тем временам возможность - добавление новых инструкций.

Следующий микроконтроллер Intel 8051, выпущенный в 1980 году, стал поистине классическим образцом устройств данного класса. Этот 8-битный чип положил начало целому семейству микроконтроллеров, которые господствовали на рынке вплоть до недавнего времени.

Аналоги 8051 выпускали советские предприятия в Минске, Киеве, Воронеже, Новосибирске, на них выросло целое поколение отечественных разработчиков.

Большинство фирм производителей микроконтроллеров и сегодня выпускают устройства, основанные на этой архитектуре. Среди них Philips, Atmel, Dallas, OKI, Siemens — можно перечислить более полутора десятков имен. Но 51-е семейство постепенно сдает свои позиции более молодым и совершенным микроконтроллерам.

4.2. Motorola. Другими яркими представителями восьмиразрядных микроконтроллеров явились изделия компаний Motorola (68HC05, 68HC08, 68HC11).

Motorola длительное время не предоставляла средств, позволяющих дешево и быстро начать работать с ее контроллерами, что явно не способствовало их популярности у некорпоративных разработчиков. Однако стоит заметить, что за рубежом микроконтроллеры от Motorola занимают лидирующее положение на рынке. В нашей стране их популярность не очень высока, возможно, еще в силу отсутствия достаточного количества доступных учебных материалов и средств разработки.

4.3. PANASONIC. 16-разрядные микроконтроллеры MN10200 являют собой логическое продолжение 4- и 8-разрядных семейств PANASONIC с расширенными функциональными возможностями на основе 16-разрядной архитектуры. Требование полной программной совместимости с младшими семействами, естественно, в определенной мере ограничивает применение новых технических решений, заставляя разработчиков двигаться в заранее заданном изначальной концепцией направлении. Семейство MN10200 представляет характерный пример подобного компромисса. С одной стороны, сокращенный до 36 основных инструкций набор команд, отказ от использования сложных методов адресации, 3-ступенчатый конвейер команд, 100-нс цикл процессора. Вот-вот ждешь, что появятся заветные слова "RISC" и "регистровый файл", а команды начнут выбираться и исполнятся за один системный цикл, поднимая производительность процессора до 10 MIPS но этого не происходит. Команды имеют неодинаковый формат, выполняются за различное число циклов, соответственно снижая эффективность работы конвейера команд, а количество и конфигурация регистров общего назначения до гордого определения "регистровый файл", увы, не дотягивают. Но, даже не пользуясь скоростными достижениями RISC-архитектур, 16-разрядные микроконтроллеры PANASONIC (в общей сложности, более 40 моделей) демонстрируют не худшую в своем классе производительность, позволяющую применять их для широкого спектра задач управления в реальном масштабе времени. Так же, как и МК С166 производства фирмы INFINEON AG с дополнительной шиной расширения X-Bus, микроконтроллеры MN10200 имеют внутреннюю шину, упрощающую подключение новых периферийных устройств, что, в частности, актуально для заказных МК.

Процессорное ядро MN102L00, на котором построены подавляющее большинство 16-разрядных МК PANASONIC, использует линейную адресную модель памяти с общими адресами для регистров специальных функций, памяти программ и данных. Для внутренних регистров процессора используется в основном 24-бит формат. 24-разрядный счетчик команд непосредственно адресует до 16 Мбайт памяти. 4 24-разрядных регистра данных работают в качестве регистров-аккумуляторов и регистров для хранения операндов. Столько же 24-разрядных адресных регистров используются для косвенной регистровой адресации, а также могут служить в качестве РОН и даже быть регистрами-аккумуляторами для ряда арифметических операций. Один из адресных регистров работает в качестве указателя стека. Из-за несколько нестандартного формата регистров данных, для поддержки операций умножения и деления введен дополнительный 16-разрядный регистр, хранящий старшие 16 бит 32-разрядного произведения или делимого. Общую картину дополняет 16-разрядный регистр слова состояния программы.

Как уже упоминалось, для повышения производительности используется трехстадийный конвейер команд, осуществляющий одновременно выборку следующей команды вместе с выполнением и записью результатов текущей инструкции.

Система команд включает 36 базовых инструкций, поддерживающих набор операций 8- и 16-бит арифметики, сдвиговых и логических операций. В общем, набор команд не претерпел каких-либо существенных изменений, по сравнению с 8-разрядными предшественниками, за исключением того, что команды стали иметь байтовый формат вместо тетрадного, ну и, естественно, того, что операции с 16-разрядными операндами стали проводиться существенно быстрее (по определению).

Размер команд составляет от 1 до 5 байт (первые 1-2 байт включают код операции, 0-3 байт - расширение адрес/данные). Инструкции пересылок регистр-регистр, загрузка/сохранение и некоторые команды ветвления требуют на выполнение только один цикл процессора (100 нс при стандартной внешней тактовой частоте 20 МГц). Ряд микроконтроллеров имеют процессорный цикл, сокращенный до 62,5 и 50 нс. Кроме этого, можно отметить инструкции умножения 16x16 и деления 32/16 и команды битовых операций.

Микроконтроллеры MC10200 обладают встроенным однократно программируемым, масочным или FLASH ПЗУ объемом от 16 до 256 Кбайт и емкостью ОЗУ от 1 до 10 Кбайт. В состав внутреннего ОЗУ входит область памяти с короткой адресацией, то есть с более быстрым доступом. Область памяти программ содержит таблицу адресов наиболее часто используемых подпрограмм.

Для работы с внешней памятью программ и данных, MC10200 используют 24-разрядную шину адреса с аппаратным формированием 4 сигналов выборки кристалла и 8/16-разрядную шину данных.

# 5. Список ИСПОЛЬЗОВАНОЙ литературы

1. Микропроцессоры: В 3-х кн. / Под ред. Преснухина. М.: Высшая шко-ла, 1986. Кн.1. 495 с. Кн. 2. 383 с. Кн. 3. 351 с.
2. Новиков Ю.В., Скоробогатов П.К. Основы микропроцессорной техники БИНОМ. - ИНТУИТ, 2008
3. Сташин В.В. Проектирование цифровых устройств на однокристальных микроконтроллерах / В.В. Сташин, А.В. Урусов, О.Ф. Мологонцева. – М.: Энергоатомиздат, 1990. – 224 с.
4. Богданов А.В., Корхов В.В., Мареев В.В., Станкова Е.Н. Архитектуры и топологии многопроцессорных вычислительных систем ИНТУИТ, 2004
5. С.Т. Хвощ, Н.Н. Варлинский, Е.А. Попов; Под общ. ред. С.Т. Хвоща. Микропроцессоры и микроЭВМ в системах автоматического управления: Справочник Л.: Машиностроение. Ленингр. отд-ние, 1987. — 640 с.: ил.
6. Никонов А.В. Однокристальные микроЭВМ и микроконтроллеры: учеб. пособие / А.В. Никонов. – Омск: Изд-во ОмГТУ, 2009. – 56 с. Однокристальные микроЭВМ / А.В. Боборыкин [и др.]. – М.: Бином, МИКАП, 1994. – 398 с.
7. Шилейко А.В. Микропроцессоры / А.В. Шилейко, Т.И. Шилейко. – М.: Радио и связь, 1986. – 112 с.
8. Цифровая обработка информации на основе быстродействующих БИС / С.А. Гамкрелидзе [и др.]; под ред. В.Г. Домрачева. – М.: Энергоатомиздат, 1988. – 136 с.
9. Басманов А.С. Микропроцессоры и однокристалные микроЭВМ: Номенклатура и функциональные возможности / А.С. Басманов, Ю.Ф. Широков под ред. В.Г. Домрачёва. – М.: Энергоатомиздат, 1988. – 128 с.